

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01179334
 PUBLICATION DATE : 17-07-89

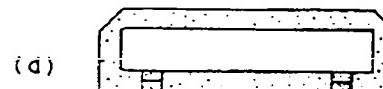
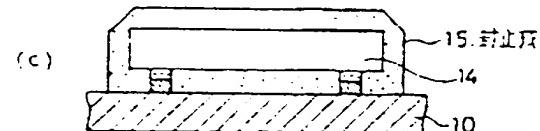
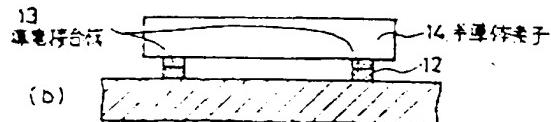
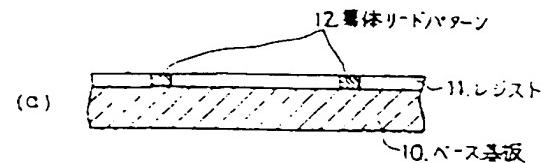
APPLICATION DATE : 05-01-88
 APPLICATION NUMBER : 63000459

APPLICANT : CITIZEN WATCH CO LTD;

INVENTOR : IINUMA YOSHIO;

INT.CL. : H01L 21/60 H01L 21/56

TITLE : MOUNTING OF SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To form a lead structure whose lead part is sufficiently thin, where an interval is fine and which is comparatively strong by a method wherein, after a lead pattern for external connection use of a semiconductor device electrode has been formed on a substrate, a bare chip of a semiconductor device has been bonded onto the lead pattern in a facedown manner, this semiconductor device is sealed by using a sealing material such as a resin or the like and only the substrate is removed.

CONSTITUTION: A resist 11 for conductor lead pattern formation use is formed on one face of a substrate 10 of aluminum, stainless steel or the like; after that, openings are made in this resist 11; conductor lead patterns 12 composed of copper, aluminum, an alloy of these or the like are formed in the openings by an electrolytic plating method or the like. Then, the resist 11 is removed; after that, the semiconductor device 14 is bonded onto the conductor lead patterns 12 in a facedown manner by using a conductive bonding material 13 such as a solder, a conductive paste or the like. After that, the semiconductor device 14 is covered wholly with a sealing material 15 such as a resin-based material or the like; a gap between the semiconductor device 14 and the base substrate 10 is filled. Then, the base substrate 10 is removed; a package of the semiconductor device is completed.

COPYRIGHT: (C) JPO

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平1-179334

⑬ Int.Cl.

H 01 L 21/60
21/56

識別記号

厅内整理番号

Z-6918-5F
R-6835-5F

⑭ 公開 平成1年(1989)7月17日

審査請求 未請求 求項の数 1 (全5頁)

⑮ 発明の名称 半導体素子の実装方法

⑯ 特願 昭63-459

⑰ 出願 昭63(1988)1月5日

⑲ 発明者 平澤 宏幸 埼玉県所沢市大字下富字武野840 シチズン時計株式会社
技術研究所内

⑲ 発明者 飯沼 芳夫 埼玉県所沢市大字下富字武野840 シチズン時計株式会社
技術研究所内

⑲ 出願人 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号

明細書

[従来の技術と背景]

1. 発明の名称

半導体素子の実装方法

2. 特許請求の範囲

ベース基板上の全面にレジストを塗布する工程と、所定形状の半導体素子電極の外部接続のためのリードパターン形成用の開口部を前記レジストに形成する工程と、前記リードパターン形成用の開口部に導電層を形成する工程と、前記レジストを除去する工程と、前記リードパターン上に前記半導体素子を導電接合材により接続する工程と、封止材により前記ベース基板の片側を前記半導体

電子機器の軽薄短小化への要求と高密度実装への要求から電子部品のより小型で薄型なパッケージング技術が重要であり、表面実装に対応する半導体素子パッケージが多用されつつある。従来の表面実装用パッケージ、例えばスマート・アウトライン・パッケージ (SOP)、クアド・フラット・パッケージ (QFP)、プラスチック・リーディド・チップ・キャリア (PLCC) 等は、半導体素子チップサイズに比較するとその外形寸法はかなり大型である。

従って同パッケージを回路基板等に実装した場

3. 発明の詳細な説明

(構成上の特徴)

本発明は、半導体素子電極の外部接続用リード

リード、半導体素子電極の外部接続用リードフレームがパッケージ引脚から突出した構造を持つ半導体素子の実装方法である。

体素子14を封止した封止材15の側部からリードフレーム41が突出し、また封止材15はボンディングワイヤー40を覆うようするためリードフレーム41の厚さのために高さ方向に封止材が厚くなることから、同パッケージは実装面に対し水平方向にも垂直方向にも面積或は体積を占有してしまう。パッケージサイズの小型化を図る方法としては、リードピッチを散細化するリードフレーム部を簡略或は省略する、或は半導体素子チップの実装スペースを小さくする等が考えられる。

現在、表面実装用パッケージのリードフレーム用の板厚は0.1～0.2mmのニッケル-鉄合金系のものが多用されている。ピッチの微細化を計りリードピッチを0.5mm以下にしようとするリード幅は0.2mm前後になるが、このとき板厚を薄くしないとエッティングによるバーニングができない。

しかし、板厚を薄くして同様のリードフレームを形成するとリード強度が低下して取扱いが複雑になる等の問題点がある。

容易さ及び封止材とリードパターンとの密着性を強固にすることが作業性及びリード部分に要求される強度のうえからポイントとなる。ベース基板除去の容易さの点についてはエッティングによる除去の場合、リードパターン及びベース基板の材料に応じてベース基板のみを選択エッティングできるエッティング剤を使用すれば良い。またビーリングによる除去の場合では、ベース基板材料とパターン材料或は封止材料との密着力が弱い材料を選択するか、或はベース基板上に剥離層を設ける等の方法で同様の効果をもたらせばよい。

例えば、リードパターンを銅メッキで形成させた場合、エチケット酸水素カリウム-硫酸-水酸化ナトリウム-水の混合液によると、

[発明の目的]

本発明の目的は上記のような問題点に着目して、リード部の厚さが十分薄く、散細ピッチでありながらも比較的強固なリード構造を有し、半導体素子の多ピン化に対応できる高密度実装に適した超小型・超薄型パッケージの実装方法を提供することにある。

[発明の構成]

上記目的を達成するため本発明の半導体素子の実装方法においては、金属等のベース基板上に半導体素子電極の外部接続用リードパターンを形成し、その上に半導体素子チップをフェイスダウンボンディング等の方法でボンディングした後、この半導体素子を樹脂等の封止材により封止する。

次にリードパターンを形成したベース基板のみをエッティング或はビーリング等により除去することで、封止材とリードパターンとが一体化したパッケージを形成させる。

[作用]

このパッケージング法では、ベース基板除去の

に耐剥離力を増加させる（例えば封止材に食い込む様な）形状で形成させること等でリードを強固に保持する事が可能である。

[実施例]

以下図面に基づき本発明の実施例を説明する。

第1図はフェイスダウンボンディングにより半導体素子を実装する場合のパッケージング工程を示した断面図である。第1図(a)に示すように鋼、アルミニウム、ステンレス等の材質で厚さ0.1～3mm程のベース基板10の片面に導体リードパターン形成用の感光性樹脂であるレジスト11を形成した後に、このレジスト11に導体リードパターンとして用いる導線部を形成する。可溶性露光液によ

る露光後、レジスト11は露光部を除いて溶け出し、ベース基板の除去が容易となる。封止材とリードパターンとの密着性を強固にする点については封止材

表面第1図(b)に示すようシントリット12（露光液による溶出部）と導電ペースト等の導電接着材13を用いて封止材15と接合する。

(c)に示すように樹脂系材料等の封止材15によつて半導体素子14全体を覆い、かつ半導体素子14とベース基板10との間を埋めるよう封止する。

次にベース基板10を除去し、第1図(d)に示すように半導体素子のパッケージを完成する。ベース基板10の除去方法は、機械的ピーリング、酸類等の薬品による湿式ニッティングやリアクティブ・イオン・エッティング(RIE)等による乾式エッティングなどどの様な方法でもよい。

第1図における導体リードバターン12はパッケージの回路基板上へのポンディングの仕様に応じて、半導体素子の外部引き出し用電極と同じ配置、封止材の外周よりも外側に引き出した配置、半導体素子の外部引き出し用電極よりも内側に引き出した配置或はそれらを組み合わせた配置に形成することができる。このことを第2図に示す。

第2図(a)、(b)、(c)は導体リードバターンのリードの引き出し方法を示す平面図、及び第2図(d)、(e)、(f)はそれぞれ第2図(a)、(b)、(c)の引き出し方

また、上記第2図(a)、(b)、(c)の導体リードバターン形状は組み合わせることも可能である。

第3図はベース基板除去を容易にするために剥離層30を設け、また封止材によってリードバターンを強固に保持させる構造にする実施例を示した工程断面図である。

まず第3図(e)に示すようにベース基板10上に剥離層30を形成する。剥離層30は後工程で形成する導体リードバターン12と剥離しやすい材料、例えば導体リードバターン12を銅メッシュで形成させる場合、銅との密着力が弱い材料としてのチタニウムを用いて蒸着、スパッタリング等により形成する。

チタニウムなどを剥離層30として形成する工程は、剥離層30を形成する工程と並行して、封止材15を用いて剥離層30を覆うように封止する工程である。封止材15はこれらの場合等からなるアクリル樹脂等

並に対応して製造される半導体素子のパッケージの断面図である。第2図(f)は、後工程で形成される封止材の外周16よりも内側の半導体素子の外部引き出し用電極と同じ配置の導体リードバターン12aを形成した実施例で、この場合製造される半導体素子のパッケージは第2図(d)に示す断面形状になる。第2図(h)は、後工程で形成される封止材の外周16よりも外側に、導体リードバターン12bを引き出す形状とした実施例で、この場合製造される半導体素子のパッケージは第2図(e)に示す断面形状になる。このとき封止材15から外部へ引き出された導体リードバターン12bはパッケージの回路基板上へのポンディングの仕様に応じて、切断或は折り曲げ等の加工をすることも可能となる。第2図(i)は、後工程で形成される封止材の全周16よりも内側の半導体素子の外部引き出し用電極よりも更に内側に、導体リードバターン12cを引き出す形状とした実施例で、この場合製造される半導体素子のパッケージは第2図(f)に示す断面形状になる。

導体リードバターン12上に導電接合材13を用いて接合する。続いて第3図(d)に示すように、半導体素子14全体を覆うように封止材15で封止する。

このとき先に形成した導体リードバターン12の横方向に突き出た頭部の下側にも封止材15が回り込み導体リードバターン12はより強固に封止材15と一体化保持されることになる。更にベース基板10及び剥離層30を封止材15と剥離層30との界面から除去し、第3図(e)に示すようにパッケージを完成する。ベース基板10及び剥離層30の除去方法は、機械的ピーリング、酸類等による方法である。

本発明によるパッケージでは、出力端子等の表面のパッケージに見られるような封止材15の露出部を除く他の部分は、封止材15と封止材15の露出部の間に形成される隙間を有する。

特開平1-179334(4)

無いので、より半導体素子サイズに近いパッケージを提供することが可能である。

[発明の効果]

上述のように本発明による半導体素子の実装方法では、従来の表面実装用半導体素子パッケージに比較してパッケージの実装面積或は体積を小さくすることができるため表面実装において効率的な実装方法を提供することができる。更にリードパターンを封止材料と一緒に保持することで強度を持たせながらリードパターン厚を5~50μm程度に薄く緻密ピッチで形成することができるので、半導体素子の多ビン化へ対応できる実装方法を可能とする。

従って高密度な表面実装に適応した半導体装置を提供する上に、更にはペア・チップの使いににくい多チップ搭載ボード製品、例えばI Cカード、メモリーカード等の実装に有効といった効果がある。

4. 図面の簡単な説明

第1図、第3図はいずれも本発明の実施例にお

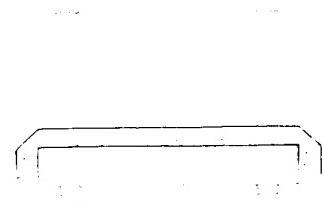
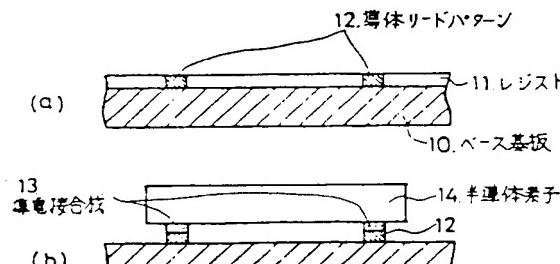
ける製造工程を示す断面図、第2図(a)、(b)、(c)および(d)、(e)、(f)は本発明の実施例におけるそれぞれ平面図および断面図、第4図は従来例を示す断面図である。

- 1 0 ……ベース基板、
- 1 1 ……レジスト、
- 1 2 ……導体リードパターン、
- 1 3 ……導電接合材、
- 1 4 ……半導体素子、
- 1 5 ……封止材、
- 1 6 ……封止材の外周部、
- 3 0 ……刺離層、
- 4 0 ……ボンディングワイヤー、
- 4 1 ……リードフレーム。

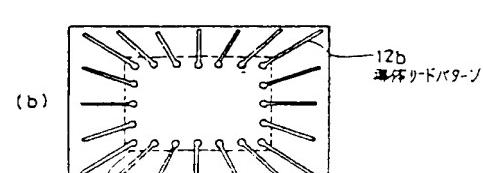
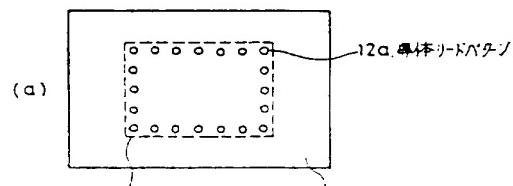
特許出願人 シチズン時計株式会社



第1図

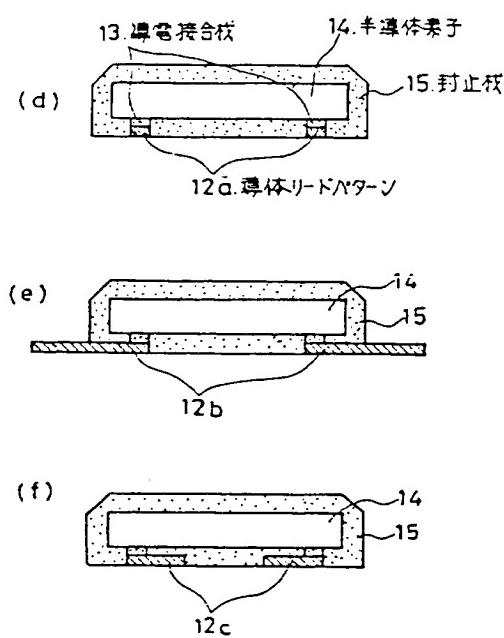


第2図

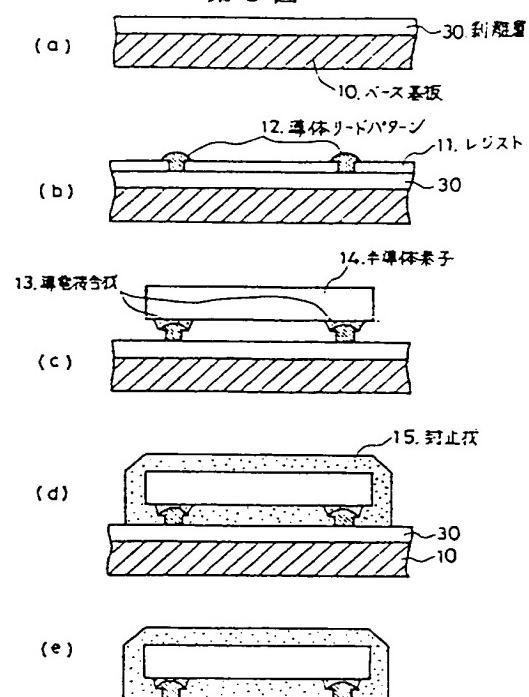


特開平1-179334(5)

第2図



第3図



第4図

